

A12

DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

05516199

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SOUND POWERED RFID USING THIS
DEVICE

PUB. NO.: 09-130999 [JP 9130999 A]
PUBLISHED: May 16, 1997 (19970516)
INVENTOR(s): SAWADA KIKUZO
ISHII HIDEKAZU
APPLICANT(s): NIPPON STEEL CORP [000665] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 07-306445 [JP 95306445]
FILED: October 31, 1995 (19951031)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a sound powered RFID which can prevent the supply of overpower when a communication distance with a host station becomes shorter and also can prevent a malfunction when the supplied power decreases because of an extended communication distance.

SOLUTION: A voltage regulator 2 is provided for regulating a DC voltage generated by a voltage commutation circuit 1 so as not to make it exceed a given value. This can prevent a DC voltage used as an internal supply voltage from building up more than required even if a high AC voltage is generated because of the electromagnetic induction caused by a shortened communication distance. Also, a reset circuit 3 is provided for resetting CPUs and EEPROMs when the DC voltage above decreases below the given level. This makes it possible for the CPUs and EEPROMs to stop operating in the case where there is a risk that an extended communication distance causes the internal supply voltage to drop to a level at which the CPUs and EEPROMs cannot operate properly.

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-130999

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 J 17/00			H 0 2 J 17/00	B
G 0 6 K 17/00			G 0 6 K 17/00	F
				B

審査請求 未請求 請求項の数 8 F D (全 12 頁)

(21) 出願番号 特願平7-306445

(22) 出願日 平成7年(1995)10月31日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 澤田 喜久三

東京都千代田区大手町2-6-3 新日本

製鐵株式会社内

(72) 発明者 石井 英一

東京都千代田区大手町2-6-3 新日本

製鐵株式会社内

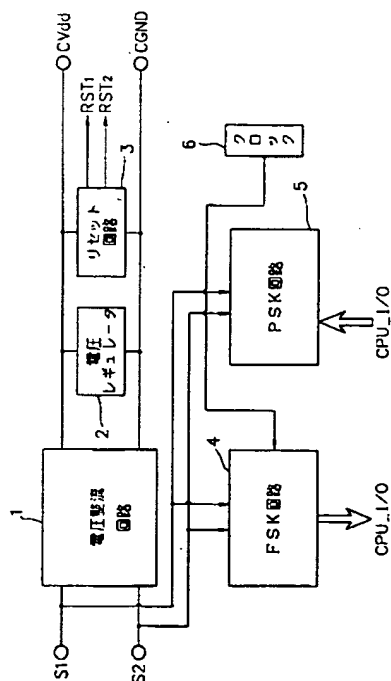
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体集積回路装置及びこれを用いた無電池方式のRFID

(57) 【要約】

【課題】 ホストとの通信距離が短くなったときに過大な電力が供給されないようにするとともに、通信距離が長くなって供給される電力が少なくなったときに誤動作しないようにすることが可能な無電池方式のRFIDを提供する。

【解決手段】 電圧整流回路1で生成される直流電圧が所定値より大きくなるように制御する電圧レギュレータ2を設け、通信距離が短くなって電磁誘導により発生する交流電圧が非常に大きくなっても、内部電源電圧として使用する直流電圧が必要以上に大きくなるようにする。また、上記直流電圧が所定レベル以下のときにCPUおよびEEPROMをリセットするリセット回路3を設け、通信距離が長くなって、CPUおよびEEPROMが正常動作できなくなる恐れのあるレベルにまで内部電源電圧が小さくなった場合においても、CPUおよびEEPROMが動作し続けるということがなくなるようにする。



【特許請求の範囲】

【請求項1】 外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段を内蔵する半導体集積回路装置であって、

上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段を備えたことを特徴とする半導体集積回路装置。

【請求項2】 データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段とを内蔵する半導体集積回路装置であって、

上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段を備えたことを特徴とする半導体集積回路装置。

【請求項3】 電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段とを備えることを特徴とする無電池方式のRFID。

【請求項4】 データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行うとともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段とを備えることを特徴とする無電池方式のRFID。

【請求項5】 データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行うとともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

て、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段と、

上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段とを備えることを特徴とする無電池方式のRFID。

【請求項6】 上記リセット手段は、上記電圧整流手段により得られる直流電圧が徐々に大きくなっていく場合に、上記直流電圧が第1のしきい値よりも大きくなったときに上記CPUおよび上記記憶手段のリセット状態を解除するとともに、上記電圧整流手段により得られる直流電圧が徐々に小さくなっていく場合に、上記直流電圧が第2のしきい値よりも小さくなったときに上記記憶手段をリセット状態にし、上記直流電圧が上記第2のしきい値よりも小さな第3のしきい値よりも小さくなったときに上記CPUをリセット状態することを特徴とする請求項4または5に記載の無電池方式のRFID。

【請求項7】 上記第2のしきい値は、上記第1のしきい値よりも小さいことを特徴とする請求項6に記載の無電池方式のRFID。

【請求項8】 電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、

上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、

上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、

上記電圧整流手段により得られる直流電力を蓄電する蓄電手段と、

上記電圧整流手段により得られる直流電圧が所定レベルよりも小さくなったときに上記蓄電手段に蓄積されている直流電力を内部電源電力として利用するように制御する制御手段とを備えることを特徴とする無電池方式のRFID。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびこれを用いた無電池方式のRFID（Radio Frequency Identification）に関するものである。

【0002】

【従来の技術】近年、IC（集積回路）を内蔵したICカードが様々な分野で利用されつつある。従来のICカードは、EEPROM（電氣的に消去可能なプログラマ

ブルROM)を内蔵しており、上記EEPROMにデータを記憶したり、このEEPROMに記憶されているデータを用いて所定の命令を実行したりするようになされていた。

【0003】しかし、このようなICカードを使用する場合は、カードリーダなどの専用の読み取り装置にICカードを挿入しなくてはならないため、非常に面倒であった。そこで、最近では、無線周波数帯の電波を使ってホスト側とデータをやり取りすることにより、カードを一々挿入することなく簡便に操作できるようにした非接触方式のICカード、すなわち、RFID(Radio Frequency Identification)あるいはデータキャリアが提案されるに至っている。

【0004】ところで、上記RFIDを動作させるためには、その内蔵ICに電力を供給することが必要である。そのため、従来は、IC駆動用の電池を内蔵したRFIDが多く提案されていた。一方、近年ではホスト側から送られてくる電波を利用して内部で電力をつくり出すことができるようにした無電池方式のRFIDも提案されている。

【0005】すなわち、このような無電池方式のRFIDでは、ホスト側から送られてくる電波から電磁誘導により交流電圧を発生させ、それを直流電圧に整流することにより、IC駆動に必要な電力を内部でつくり出すことができるようになされていた。

【0006】従来、このような無電池方式のRFIDは、種々のデータを記憶するためのEEPROMと、上記EEPROMに記憶されているデータに従って動作するロジック回路と、電波を使ってホスト側とデータのやり取りを行うためのRF部と、ホスト側から送られてくる電波を用いて電力をつくり出すパワー部とを備えるのが一般的であった。

【0007】

【発明が解決しようとする課題】上記従来の無電池方式のRFIDでは、電磁誘導による起電力の大きさは、ホストとRFIDとの距離(通信距離)の2乗に比例して変化するようになっていた。このため、通信距離が短くなり過ぎると、ICに過大な電力が供給されてしまい、ICに必要以上に大きな負担をかけてしまうという問題があった。

【0008】一方、通信距離が離れると、ICに供給される電力は小さくなり、上記ICは電力不足で動作しないようになる。この場合、従来のRFIDは、電力不足で動作しなくなる限界までICが動作し続けるようになっていた。しかしながら、これでは、ICが正常に動作するために必要な電力が十分に得られないにもかかわらずICが動作し続けることとなり、誤動作を起こしてしまうことがあるという問題があった。

【0009】本発明は、このような問題を解決するために成されたものであり、ホストとの通信距離が短くな

たときに過大な電力が供給されないようにするとともに、ホストとの通信距離が長くなって供給される電力が少なくなったときに誤動作しないようにすることを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体集積回路装置は、外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段を内蔵する半導体集積回路装置であって、上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段を備えたことを特徴としている。

【0011】本発明の他の特徴とするところは、データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、外部より送信される電波から電磁誘導により発生されて供給された交流信号を整流して直流の内部電源電圧をつくり出す電圧整流手段とを内蔵する半導体集積回路装置であって、上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段を備えたことを特徴としている。

【0012】また、本発明の無電池方式のRFIDは、電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段とを備えることを特徴としている。

【0013】本発明の他の特徴とするところは、データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行うとともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態にするリセット手段とを備えることを特徴としている。

【0014】本発明のその他の特徴とするところは、データを記憶するための記憶手段と、上記記憶手段の記憶内容に従って動作するCPUと、上記CPUによる制御に従って外部との間で電波によるデータの送受信を行う

とともに、受信した電波から内部電源電圧をつくり出すパワー／送受信手段とを備えた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段と、上記電圧整流手段により得られる直流電圧が所定レベル以下のときに、上記CPUおよび上記記憶手段をリセット状態するリセット手段とを備えることを特徴としている。

【0015】本発明のその他の特徴とするところは、上記リセット手段は、上記電圧整流手段により得られる直流電圧が徐々に大きくなっていく場合に、上記直流電圧が第1のしきい値よりも大きくなったときに上記CPUおよび上記記憶手段のリセット状態を解除するとともに、上記電圧整流手段により得られる直流電圧が徐々に小さくなっていく場合に、上記直流電圧が第2のしきい値よりも小さくなったときに上記記憶手段をリセット状態にし、上記直流電圧が上記第2のしきい値よりも小さな第3のしきい値よりも小さくなったときに上記CPUをリセット状態することを特徴としている。

【0016】本発明のその他の特徴とするところは、上記第2のしきい値は、上記第1のしきい値よりも小さいことを特徴としている。

【0017】本発明のその他の特徴とするところは、電波を使って外部との間でデータを送受信するとともに、受信した電波から内部電源電圧をつくり出すようになされた半導体集積回路装置を内蔵する無電池方式のRFIDであって、上記RFIDの外部より送信される電波から電磁誘導により交流電圧を発生する電圧発生手段と、上記電圧発生手段により発生される交流電圧を直流電圧に整流する電圧整流手段と、上記電圧整流手段により得られる直流電力を蓄電する蓄電手段と、上記電圧整流手段により得られる直流電圧が所定レベルよりも小さくなったときに上記蓄電手段に蓄積されている直流電力を内部電源電力として利用するように制御する制御手段とを備えることを特徴としている。

【0018】本発明は上記技術手段より成るので、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが非常に大きくなっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないように制御される。例えば、本発明の半導体集積回路装置を無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が短くなり、電磁誘導により発生する交流電圧が非常に大きくなっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないように制御される。

【0019】また、本発明の他の特徴によれば、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが小さくなり、発生される内部電源電圧がCPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで小さくなった場合に、CPUおよび記憶手段が動作し続けるということがなくなる。例えば、本発明の半導体集積回路装置を無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が長くなって、電圧整流手段により生成される直流電圧の大きさが、CPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで小さくなった場合に、CPUおよび記憶手段が動作し続けるということがなくなる。

【0020】また、本発明のその他の特徴によれば、リセット手段によりCPUおよび記憶手段がリセットされる際に、まず最初に記憶手段がリセットされてデータの書き込みが禁止され、その後でCPUがリセットされるようになり、リセット時における誤動作によって誤ったデータが記憶手段に書き込まれてしまう不都合が防止される。

【0021】また、本発明のその他の特徴によれば、CPUおよび記憶手段のリセット状態が解除される第1のしきい値よりも、記憶手段がリセット状態にされる第2のしきい値の方が小さいので、電圧整流手段により生成される内部電源電圧が第1のしきい値より小さくても第2のしきい値より小さくなければ記憶手段はリセットされないようになり、意図しない電圧レベルの変動によって内部電源電圧が第1のしきい値を下回った場合に記憶手段が簡単にリセットされないようになる。

【0022】また、本発明のその他の特徴によれば、本発明のRFIDが正常動作するのに十分な内部電源電圧が得られている間に蓄電が行われるとともに、内部電源電圧の大きさが内蔵ICが正常動作できなくなる恐れのあるレベルにまで小さくなったときに、上記蓄電された電力が内部電源電力として利用されるようになり、正常動作を可能にする内部電源電力がより長い時間確保されるようになる。

【0023】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本実施形態による無電池方式のRFIDの特徴を最もよく表すパワー／RF部の構成を示すブロック図であり、図2は、図1に示すパワー／RF部を利用した無電池方式のRFIDの構成を示すブロック図である。

【0024】まず、図2を用いて本実施形態による無電池方式のRFIDの全体構成および動作について説明する。図2において、21はCPU、22はROM、23はEEPROMであり、ROM22やEEPROM23には、CPU21の実行プログラムや種々のデータが記憶されるようになっている。

【0025】上記ROM22の記憶容量は、例えば1024ワード×12ビットであり、上記EEPROM23の記憶容量は、例えば2048ワード×12ビットである。これらのROM22およびEEPROM23は、同一のメモリ空間に位置している。そのうち、EEPROM23のメモリ空間においては、上記CPU21の実行プログラムや種々のデータの書き換えが可能である。

【0026】すなわち、CPU21は、ROM22やEEPROM23の記憶内容に従って種々の命令を実行するが、その命令そのものをEEPROM23を使って自由に書き換えることが可能である。つまり、CPU21の実行プログラムをRFIDの外部から自由に書き換えることが可能である。

【0027】このように、本実施形態では、従来の無電池方式のRFIDにおいてロジック回路を用いていた代わりに、CPU21を用いている。CPU21を内蔵することにより、命令実行のプロトコルを自由に組むことができるようになるだけでなく、多数のRFIDで送受信される電波の同時認識もできるようになる。

【0028】また、ロジック回路では1つの動作が終わるまで次の動作を行うことができないのに対して、CPU21では複数の動作を同時に行うことができる。例えば、EEPROM23へのデータの書き込み中に、ROM22に記憶されているデータを読み出して処理することができる。このため、全体としての処理時間を短くすることもできるようになる。

【0029】上記CPU21と上記ROM22、および上記CPU21と上記EEPROM23との間のデータのやり取りは、それぞれアドレスバス25およびデータバス26を介して行われる。上記アドレスバス25およびデータバス26のバス幅は、共に12ビットである。また、CPU21内に備えられている図示しないALU（算術論理演算ユニット）やレジスタの1ワードも12ビットである。

【0030】このように、バス幅、およびALUやレジスタの1ワードを12ビットとすることにより、CPU21の1つの命令を構成するオペコードおよびオペランドを1ワードで記述することが可能となる。また、イミティエートアドレスも1ワードで記述することが可能となる。

【0031】24はパワー／RF部である。このパワー／RF部24は、電波（例えば、無線周波数帯などの高周波の電波）を使って、図示しないホスト側の装置との間で種々のデータを送受信するRF部と、上記ホスト側から送られてくる電波を用いて内部電源電力をつくり出すパワー部とを兼ね備えている。

【0032】すなわち、上記パワー／RF部24に備えられているいくつかの端子のうち、S1、S2は電波の送受信端子であり、これら2つの電波送受信端子S1、S2を介して本実施形態のRFIDと図示しないホ

スト側とで電波によりデータを送受信するようになっている。

【0033】また、上記電波送受信端子S1、S2には、同調用コイル30とコンデンサ31とから成る共振回路が接続されている。そして、この共振回路に外部のホストから送信される電波によって発生する磁界の変化に応じて同調用コイル30に交流電圧が誘導される。パワー／RF部24は、このようにして誘導された交流電圧を上記電波送受信端子S1、S2を介して入力し、それを直流電圧に整流することにより内部電源電力を得るようにしている。

【0034】上記パワー／RF部24で生成された直流電圧は、内部電圧端子Cv dおよび内部グランド端子CGNDを介して出力される。上記内部電圧端子Cv dおよび内部グランド端子CGNDには、平滑化コンデンサ32が接続されており、出力される直流電圧の安定化が図られている。

【0035】上記パワー／RF部24は、I/Oバス27を介してCPU21、タイマー28およびシリアルI/Oポート29に接続されている。本実施形態では、このようにタイマー31を内蔵することにより、ソフトウェアによるリセット動作を実現することが可能となる。このタイマー28は、例えば、24ビットタイマーで構成される。

【0036】また、上記シリアルI/Oポート29には3つの入出力端子I/O₀、I/O₁、I/O₂が接続されており、これらの入出力端子I/O₀、I/O₁、I/O₂を介して外部負荷を接続することが可能である。外部負荷としては、例えばLED（図示せず）を用いることができる。

【0037】このようにLEDを接続した場合は、本実施形態のRFIDとホストとが近づいて通信可能な範囲内に入ったときにLEDが点灯するようにすることができる。この外部負荷であるLEDを駆動するための電源をつくり出すのも上記パワー／RF部24である。

【0038】本実施形態の半導体集積回路装置は、上述したCPU21、ROM22、EEPROM23、パワー／RF部24、アドレスバス25、データバス26、I/Oバス27、タイマー28およびシリアルI/Oポート29が1チップ化されて構成される。

【0039】次に、図1を用いて上記したパワー／RF部24の詳細な構成および動作について説明する。図1に示すように、本実施形態のパワー／RF部24は、電圧整流回路1と、電圧レギュレータ2と、リセット回路3と、FSK（周波数偏移変調）回路4と、PSK（位相偏移変調）回路5と、クロック回路6とを備えている。

【0040】これらの構成のうち、電圧整流回路1、電

圧レギュレータ2およびリセット回路3により、上述した本実施形態のパワー部が構成される。また、FSK回路4、PSK回路5およびクロック回路6により、上述した本実施形態のRF部が構成される。

【0041】まず最初に、パワー部について説明する。上記電圧整流回路1は、その入力側に2つの電波送受信端子S1、S2が接続されるとともに、出力側に内部電圧端子CVddおよび内部グラウンド端子CGNDが接続されている。

【0042】この電圧整流回路1は、2つの電波送受信端子S1、S2より入力される単相の交流電圧を直流電圧に整流することにより、出力電圧がほぼ一定になるように制御するものである。この電圧整流回路1には、交流の両方向成分（1サイクル分の全て）を直流電圧に変換する全波整流回路を用いるのが好ましい。

【0043】図3は、この電圧整流回路1の具体的な構成例を示す図である。図3に示すように、本実施形態の電圧整流回路1は、2つの電波送受信端子S1、S2の間に4つの整流素子D1～D4がブリッジ型に接続されて構成されている。この電圧整流回路1により生成された直流電圧は、内部電圧端子CVddおよび内部グラウンド端子CGNDを介して出力される。

【0044】電圧レギュレータ2は、上記電圧整流回路1の出力側に並列に接続されている。すなわち、上記電圧レギュレータ2の一方の入力端子は上記内部電圧端子CVddに接続され、他方の入力端子は上記内部グラウンド端子CGNDに接続されている。これにより、上記電圧整流回路1で生成された直流電圧がこの電圧レギュレータ2に供給される。

【0045】この電圧レギュレータ2は、上記電圧整流回路1で生成される直流電圧を一定レベル以下に抑えるように制御するものである。すなわち、上記電圧整流回路1より供給される直流電圧が所定のしきい値（例えば3V）を越えるかどうかを判断し、そのしきい値を越える場合はリミット動作をかけることにより、外部からの電波を使って生成する内部電源電圧の大きさが上記所定のしきい値よりも大きくならないように制御する。

【0046】このような電圧レギュレータ2を設けることにより、本実施形態のRFIDと図示しないホストとの通信距離が短くなり、図2の同調用コイル30に誘導される交流電圧が非常に大きくなっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないようにすることができる。これにより、RFIDとホストとが近づいたときに内蔵ICに過大な電力が供給されることを防ぎ、ICにかかる負担を少なくすることができる。

【0047】また、リセット回路3は、上記電圧レギュレータ2と同様に、電圧整流回路1の出力側に並列に接続されている。すなわち、リセット回路3の一方の入力端子は上記内部電圧端子CVddに接続され、他方の入

力端子は上記内部グラウンド端子CGNDに接続されている。これにより、上記電圧整流回路1で生成された直流電圧（電圧レギュレータ2でリミット動作がかけられているときはその電圧）がこのリセット回路3に供給される。

【0048】このリセット回路3は、電圧整流回路1より供給される直流電圧のレベルが所定のしきい値より小さいときに、CPU21およびEEPROM23の動作をリセットするように制御するものである。このような制御は、2つのリセット信号RST₁、RST₂のレベル（“H”レベルまたは“L”レベル）を制御することによって行う。また、このリセット回路3に用いられる上記所定のしきい値は、CPU21およびEEPROM23が正常に動作するのに十分な電圧レベルに設定される。

【0049】このようなリセット回路3を設けることにより、本実施形態のRFIDと図示しないホストとの通信距離が長くなって、電圧整流回路1で生成される直流電圧の大きさが非常に小さくなったときに、CPU21およびEEPROM23が動作し続けることによって誤動作を起こしてしまうことを防ぐことができる。

【0050】ところで、リセット回路3によりリセットがかけられた時点でRFIDがホストと通信途中であることも考えられる。この場合に内蔵ICの全てを同時にリセットすると、リセット時における誤動作によってEEPROM23の内容が書き換えられてしまうことが考えられる。

【0051】周知のように、EEPROM23は不揮発性のメモリであり、電源が切られてもその記憶内容は失われない。したがって、EEPROM23の内容が誤動作によって書き換えられると、その誤った内容がそのまま残されてしまうことになり、著しく不都合である。

【0052】そこで、本実施形態では、リセット回路3を以下のように動作させることにより、上記の不都合を防止している。すなわち、本実施形態では、図4に示すように、3種類のリセット電圧V_{rst1}、V_{rst2}、V_{rst3}を利用してCPU21およびEEPROM23のリセット動作を制御している。

【0053】図4に示すグラフにおいて、縦軸は電圧レベルを示し、横軸は時間を示している。このグラフは、本実施形態のRFIDと図示しないホストとの通信距離が徐々に短くなることによって内部で生成される電源電圧が大きくなっていき、その後、通信距離が徐々に長くなることによって内部で生成される電源電圧が小さくなっていく様子を表している。

【0054】この図4において、内部電源電圧VDD（図1の内部電圧端子CVddに現れる電圧）が徐々に大きくなっていく過程で、その電圧レベルが第1のリセット電圧V_{rst1}に達するまでの期間は、第1、第2のリセット信号RST₁、RST₂は共に“H”レベル（内

部電源電圧VDDと同じ電圧)であり、CPU21およびEEPROM23は両方ともリセット状態にある。

【0055】そして、内部電源電圧VDDの電圧レベルが第1のリセット電圧 V_{rst1} に達すると、第1、第2のリセット信号 RST_1 、 RST_2 は共に“L”レベル(内部グラウンド電圧VGNDと同じ電圧)となり、CPU21およびEEPROM23は両方ともリセット状態が解除される。この第1のリセット電圧 V_{rst1} は、例えば2.7Vである。

【0056】次いで、内部電源電圧VDDのレベルが更に上がっていった3Vに達すると、電圧レギュレータ2の制御により、それ以上電圧が上がらないように抑えられる。その後、内部電源電圧VDDが徐々に小さくなっていき、第2のリセット電圧 V_{rst2} まで電圧レベルが小さくなると、まず最初に第2のリセット信号 RST_2 が“H”レベルになり、EEPROM23がリセットされる。これにより、EEPROM23へのデータの書き込みが禁止される。

【0057】この第2のリセット電圧 V_{rst2} は、上記第1のリセット電圧 V_{rst1} の値よりもわずかに小さな値、例えば2.3Vに設定される。このように、第2のリセット電圧 V_{rst2} を第1のリセット電圧 V_{rst1} の値よりも小さな値に設定することにより、以下のようなメリットが得られる。

【0058】すなわち、図4においては、図の簡略化のために、本実施形態のRFIDと図示しないホストとの通信距離が十分に近い場合に内部で生成される内部電源電圧VDDのレベルが常に3Vに保たれているように示されているが、実際には電圧レベルは多少変動している。そして、その変動している電圧レベルが、第1のリセット電圧 V_{rst1} である2.7Vを下回ることがある。

【0059】この場合に、第2のリセット電圧 V_{rst2} を第1のリセット電圧 V_{rst1} と同じ値の2.7Vとしておくと、変動している電圧レベルが2.7Vを下回ったときにEEPROM23が意図していないのにリセットされてしまう。そこで、本実施形態のように、第2のリセット電圧 V_{rst2} を第1のリセット電圧 V_{rst1} よりも小さい値の2.3Vとしておけば、変動している電圧レベルによってEEPROM23が簡単にリセットされないようにすることができる。

【0060】次いで、内部電源電圧VDDが更に小さくなって第3のリセット電圧 V_{rst3} まで電圧レベルが小さくなると、次に第1のリセット信号 RST_1 が“H”レベルになり、CPU21がリセットされる。この第3のリセット電圧 V_{rst3} は、例えば2.0Vに設定される。

【0061】このように、本実施形態においては、 $V_{rst1} > V_{rst2} > V_{rst3}$ の関係が保たれており、CPU21がリセットされるときにはEEPROM23は既にリセットされ、データの書き込みが禁止されている。これにより、リセット時におけるCPU21の誤動作によっ

て誤ったデータがEEPROM23に書き込まれてしまうという不都合をなくすることができる。

【0062】図5は、以上のような動作を実現するためのリセット回路3の具体的な構成例を示す図である。以下、この図5に基づいて、図4を用いて説明したリセット回路3の構成および動作について説明する。

【0063】図5において、 MP_{11} 、 MP_{12} 、 MP_{13} 、 MP_{14} は第1～第4のPチャンネルエンハンスメント型トランジスタ、 MN_{11} 、 MN_{12} は第1、第2のNチャンネルエンハンスメント型トランジスタ、 MD_{11} はNチャンネルデプレッション型トランジスタ、 IV_{11} 、 IV_{12} 、 IV_{13} 、 IV_{14} は第1～第4のインバータ回路である。

【0064】上記第1のPチャンネルエンハンスメント型トランジスタ MP_{11} は、そのゲート端子が内部グラウンド端子CGNDに接続され、ソース端子が内部電圧端子CVdに接続されている。また、ドレイン端子は第2のPチャンネルエンハンスメント型トランジスタ MP_{12} のドレイン端子と、Nチャンネルデプレッション型トランジスタ MD_{11} のドレイン端子およびゲート端子と、第1、第2のNチャンネルエンハンスメント型トランジスタ MN_{11} 、 MN_{12} の各ゲート端子とに接続されている。以下、この接続点にかかる電圧を第1の電圧 V_1 とする。

【0065】上記第2のPチャンネルエンハンスメント型トランジスタ MP_{12} のソース端子は内部電圧端子CVdに接続され、ゲート端子は第1のインバータ回路 IV_{11} の入力端子に接続されている。また、上記Nチャンネルデプレッション型トランジスタ MD_{11} のソース端子は内部グラウンド端子CGNDに接続されている。

【0066】また、第3のPチャンネルエンハンスメント型トランジスタ MP_{13} は、そのゲート端子が内部グラウンド端子CGNDに接続され、ソース端子が内部電圧端子CVdに接続されている。また、ドレイン端子は第1のNチャンネルエンハンスメント型トランジスタ MN_{11} のドレイン端子と、第2のPチャンネルエンハンスメント型トランジスタ MP_{12} のゲート端子と、第1のインバータ回路 IV_{11} の入力端子とに接続されている。以下、この接続点にかかる電圧を第2の電圧 V_2 とする。

【0067】上記第1のNチャンネルエンハンスメント型トランジスタ MN_{11} の残りの端子であるソース端子は内部グラウンド端子CGNDに接続されている。また、上記第1のインバータ回路 IV_{11} の出力端子は第2のインバータ回路 IV_{12} の入力端子に接続され、この第2のインバータ回路 IV_{12} の出力端子から第1のリセット信号 RST_1 が出力されるようになっている。

【0068】また、第4のPチャンネルエンハンスメント型トランジスタ MP_{14} は、そのゲート端子が内部グラウンド端子CGNDに接続され、ソース端子が内部電圧端子CVdに接続されている。また、ドレイン端子は第

2のNチャンネルエンハンスメント型トランジスタ MN_{12} のドレイン端子と、第3のインバータ回路 IV_{13} の入力端子とに接続されている。以下、この接続点にかかる電圧を第3の電圧 V_3 とする。

【0069】上記第2のNチャンネルエンハンスメント型トランジスタ MN_{12} の残りの端子であるソース端子は内部グランド端子 $CGND$ に接続されている。また、上記第3のインバータ回路 IV_{13} の出力端子は第4のインバータ回路 IV_{14} の入力端子に接続され、この第4のインバータ回路 IV_{14} の出力端子から第2のリセット信号 RST_2 が出力されるようになっている。

【0070】このような構成において、上記第1～第4のPチャンネルエンハンスメント型トランジスタ M_{P11} 、 MP_{12} 、 MP_{13} 、 MP_{14} のしきい値電圧、およびNチャンネルデプレッション型トランジスタ MD_{11} のしきい値電圧は、それぞれ $-0.6V$ に設定されている。また、第1、第2のNチャンネルエンハンスメント型トランジスタ MN_{11} 、 MN_{12} のしきい値電圧は、それぞれ $+0.6V$ に設定されている。

【0071】また、上記内部電圧端子 $CVdd$ には電圧整流回路1で生成される内部電源電圧 VDD が供給され、上記内部グランド端子 $CGND$ には内部グランド電圧 $VGND$ が供給される。また、第1のリセット信号 RST_1 が“H”レベルになると $CPU21$ がリセットされ、第2のリセット信号 RST_2 が“H”レベルになると $EEPROM23$ がリセットされるようになっている。

【0072】以下、動作について説明する。まず最初に、図4に示すように、内部電源電圧 VDD が内部グランド電圧 $VGND$ から徐々に上昇していく場合の動作について説明する。

【0073】まず、内部電源電圧 VDD が第1のPチャンネルエンハンスメント型トランジスタ MP_{11} のしきい値電圧より高くなると、上記第1のPチャンネルエンハンスメント型トランジスタ MP_{11} はオン状態となる。ここで、第1のPチャンネルエンハンスメント型トランジスタ MP_{11} のしきい値電圧は $-0.6V$ であるので、第1のPチャンネルエンハンスメント型トランジスタ MP_{11} は、内部電源電圧 VDD の値にかかわらず常にオン状態である。

【0074】また、第3、第4のPチャンネルエンハンスメント型トランジスタ MP_{13} 、 MP_{14} のしきい値電圧も $-0.6V$ であるから、これらの各トランジスタ MP_{13} 、 MP_{14} についても第1のPチャンネルエンハンスメント型トランジスタ MP_{11} と同様に、内部電源電圧 VDD の値にかかわらず常にオン状態となる。

【0075】第1のPチャンネルエンハンスメント型トランジスタ MP_{11} がオン状態となり、内部電源電圧 VDD が更に高くなると、それにつれて第1の電圧 V_1 は内部グランド電圧 $VGND$ よりも高くなる。このとき、第

1の電圧 V_1 は、第1のPチャンネルエンハンスメント型トランジスタ MP_{11} とNチャンネルデプレッション型トランジスタ MD_{11} とのオン抵抗値の比により決定される。

【0076】そして、上記第1の電圧 V_1 が、第1、第2のNチャンネルエンハンスメント型トランジスタ MN_{11} 、 MN_{12} のしきい値電圧($+0.6V$)より高くなると、上記第1、第2のNチャンネルエンハンスメント型トランジスタ MN_{11} 、 MN_{12} はオン状態となる。このとき、第3、第4のPチャンネルエンハンスメント型トランジスタ MP_{13} 、 MP_{14} は既にオン状態となっている。

【0077】このため、第2の電圧 V_2 は、第3のPチャンネルエンハンスメント型トランジスタ MP_{13} と第1のNチャンネルエンハンスメント型トランジスタ MN_{11} とのオン抵抗値の比によって決定される。また、第3の電圧 V_3 は、第4のPチャンネルエンハンスメント型トランジスタ MP_{14} と第2のNチャンネルエンハンスメント型トランジスタ MN_{12} とのオン抵抗値の比によって決定される。

【0078】すなわち、上記第1、第2のNチャンネルエンハンスメント型トランジスタ MN_{11} 、 MN_{12} がオン状態となる前は、第2の電圧 V_2 および第3の電圧 V_3 は共に内部電源電圧 VDD と等しくなっている。これに対して、内部電源電圧 VDD の上昇に伴って第1の電圧 V_1 が高くなり、第1、第2のNチャンネルエンハンスメント型トランジスタ MN_{11} 、 MN_{12} がオン状態になるに従い、上記第2の電圧 V_2 および第3の電圧 V_3 は内部電源電圧 VDD から下がり始める。

【0079】本実施形態では、第1のNチャンネルエンハンスメント型トランジスタ MN_{11} のオン抵抗が、第2のNチャンネルエンハンスメント型トランジスタ MN_{12} のオン抵抗よりも小さくなるように各トランジスタ MN_{11} 、 MN_{12} を設定しておく。このようにすることにより、第1の電圧 V_1 が同じでも、第2の電圧 V_2 の方が第3の電圧 V_3 の電圧よりも低くなる。

【0080】このようにして第2の電圧 V_2 および第3の電圧 V_3 が内部電源電圧 VDD から徐々に下がっていき、まず第2の電圧 V_2 が(内部電源電圧 VDD +第2のPチャンネルエンハンスメント型トランジスタ MP_{12} のしきい値電圧)のレベル以下になると、第2のPチャンネルエンハンスメント型トランジスタ MP_{12} がオン状態となる。これにより、第1の電圧 V_1 が急速に高くなる。

【0081】これに伴い、第2の電圧 V_2 が第1のインバータ回路 IV_{11} による論理反転電圧を下回ったときに、第1のインバータ回路 IV_{11} および第2のインバータ回路 IV_{12} により第2の電圧 V_2 が論理反転されて出力される第1のリセット信号 RST_1 の電圧は、内部電源電圧 VDD (すなわち“H”レベル)から内部グランド電圧 $VGND$ (すなわち“L”レベル)へと遷移す

る。

【0082】また、上記第2のPチャンネルエンハンスメント型トランジスタ MP_{12} がオン状態となることにより第1の電圧 V_1 が急速に高くなるのに従って、第3の電圧 V_3 も小さくなり、第3のインバータ回路 IV_{13} による論理反転電圧を下回る。すると、第3のインバータ回路 IV_{13} および第4のインバータ回路 IV_{14} により第3の電圧 V_3 が論理反転されて出力される第2のリセット信号 RST_2 の電圧も、内部電源電圧 VDD から内部グランド電圧 $VGND$ へと遷移する。

【0083】上述のように、第2のPチャンネルエンハンスメント型トランジスタ MP_{12} がオン状態になるに伴って、第1の電圧 V_1 は急速に高くなるので、第1のリセット信号 RST_1 が“H”レベルから“L”レベルへ遷移するときの内部電源電圧 VDD の値と、第2のリセット信号 RST_2 が“H”レベルから“L”レベルへ遷移するときの内部電源電圧 VDD の値とは、ほぼ等しくなる。このときの内部電源電圧 VDD が第1のリセット電圧 V_{rst1} （例えば2.7V）に相当する。

【0084】次に、内部電源電圧 VDD が飽和電圧（+3V）から内部グランド電圧 $VGND$ へと徐々に下降していく場合の動作について説明する。第1の電圧 V_1 は、内部電源電圧 VDD の下降に伴って下がり始める。このとき、第1の電圧 V_1 は、 $1 / \{ (1 / \text{第1のPチャンネルエンハンスメント型トランジスタ} MP_{11} \text{のオン抵抗}) + (1 / \text{第2のPチャンネルエンハンスメント型トランジスタ} MP_{12} \text{のオン抵抗}) \}$ の値と、Nチャンネルデプレッション型トランジスタ MD_{11} のオン抵抗値との比により決定される。

【0085】上記第1の電圧 V_1 が下がるにつれて、第2の電圧 V_2 および第3の電圧 V_3 は上がり始める。このとき、第1のNチャンネルエンハンスメント型トランジスタ MN_{11} のオン抵抗値は第2のNチャンネルエンハンスメント型トランジスタ MN_{12} のオン抵抗値より小さいため、第3の電圧 V_3 は第2の電圧 V_2 より高くなっている。

【0086】したがって、内部電源電圧 VDD が下がるにつれて、まず第3の電圧 V_3 が第3のインバータ回路 IV_{13} の論理反転電圧より高くなる。これにより、第2のリセット信号 RST_2 の電圧が、内部グランド電圧 $VGND$ （“L”レベル）から内部電源電圧 VDD （“H”レベル）へと遷移する。このときの内部電源電圧 VDD が第2のリセット電圧 V_{rst2} （例えば2.3V）に相当する。

【0087】さらに内部電源電圧 VDD が下がっていくと、次に第2の電圧 V_2 が第1のインバータ回路 IV_{11} の論理反転電圧よりも高くなり、第1のリセット信号 RST_1 の電圧が、内部グランド電圧 $VGND$ （“L”レベル）から内部電源電圧 VDD （“H”レベル）へと遷移する。このときの内部電源電圧 VDD が第3のリセッ

ト電圧 V_{rst3} （例えば2.0V）に相当する。

【0088】このように、本実施形態では、内部電源電圧 VDD が小さくなっていくときに、まず最初に内部電源電圧 VDD が第2のリセット電圧 V_{rst2} まで小さくなった時点でEEPROM23をリセットし、更に内部電源電圧 VDD が第3のリセット電圧 V_{rst3} まで小さくなった時点でCPU21をリセットするようにしている。つまり、CPU21をリセットする前に必ずEEPROM23をリセットしてデータの書き込みを禁止するようにしている。

【0089】このようにすることにより、リセット時におけるCPU21の誤動作によって誤ったデータがEEPROM23に書き込まれてしまうという不都合をなくすることができ、CPU21およびEEPROM23が常に正常に動作するようにすることができる。

【0090】次に、図1に示したRF部について説明する。RF部を構成するFSK回路4およびPSK回路5は、それぞれ上記した2つの電波送受信用端子 S_1 、 S_2 に接続されている。ここで、上記FSK回路4はデータ受信用に用いられ、上記PSK回路5はデータ送信用に用いられる。

【0091】すなわち、FSK回路4は、周波数のシフトにより情報を伝送する。例えば、電波送受信用端子 S_1 、 S_2 で受信したデータ値が“1”であるときには125KHzの正弦波を伝送路に送り出し、受信したデータ値が“0”であるときには117.65KHzの正弦波を伝送路に送り出すようにする。

【0092】また、PSK回路5は、位相のシフトにより情報を伝送する。例えば、搬送周波数が62.5KHzの4相位相変調を用いることができる。この場合は、信号の種類が位相で 0° 、 90° 、 180° 、 270° と4種類あるので、1つの信号あたり2ビットの伝送が行われる。

【0093】また、クロック回路6は、上記FSK回路4で異なる周波数の信号を検出するための基準となるクロックパルスを発生するものである。例えば、上記FSK回路4は、クロック回路6より供給されるクロックパルスをデータ値“1”、“0”に応じて異なる分周比で分周することにより上記した125KHzの信号および117.65KHzの信号を検出する。

【0094】このように、本実施形態では、電波の送受信をFSK方式（受信）とPSK方式（送信）とに分けて行うようにしている。また、本実施形態では、従来のロジック回路と異なり、CPU21を内蔵している。したがって、送信用の電波と受信用の電波とをCPU21が認識することができ、データの送受信を同時に行うことができるようになる。

【0095】なお、以上の実施形態では、RFIDとホストとの通信距離が離れて内部電源電圧 VDD が所定レベルよりも小さくなったときに、CPU21およびEE

PROM23をリセットすることにより、CPU21およびEEPROM23が誤動作しないようにすることができるようにしている。これに対して、蓄電池を内蔵することにより誤動作を防止するようにすることもできる。

【0096】すなわち、CPU21およびEEPROM23が正常に動作するのに十分な内部電源電圧VDDが得られている間に上記蓄電池に蓄電しておく。そして、RFIDとホストとの通信距離が離れてCPU21やEEPROM23が誤動作してしまう恐れがある程度にまで内部電源電圧VDDが小さくなったときに、上記蓄電池に蓄電しておいた電力をCPU21およびEEPROM23を動作させるのに用いるようにする。

【0097】このようにすれば、CPU21およびEEPROM23が正常動作するのに十分な電力をより長い時間確保することができ、CPU21およびEEPROM23が誤動作を起こしてしまう恐れをより少なくすることができる。このようなことは、例えば、図2に示した平滑化コンデンサ32を蓄電池として用いることで実現可能である。

【0098】ただし、蓄電池を用いることによって正常動作可能な時間を長くすることができても、蓄電池が切れるときにCPU21およびEEPROM23が誤動作を起こしてしまうことも考えられる。しかし、このような誤動作は、蓄電池と上述したリセット動作（正確にはリセット動作に類似の動作）とを併用することにより回避することができる。

【0099】すなわち、CPU21およびEEPROM23が正常に動作するのに十分な内部電源電圧VDDが得られている間に蓄電池に蓄電しておく。そして、RFIDとホストとの通信距離が離れて内部電源電圧VDDが所定値（CPU21やEEPROM23が正常動作するのに十分な値）よりも小さくなったときに、CPU21およびEEPROM23が現在実行している処理の終了命令を出す。

【0100】この終了命令が出されたら、CPU21およびEEPROM23は、上記蓄電池に蓄電しておいた電力を用いてCPU21およびEEPROM23が現在行っている処理を終了させるように動作する。このようにすれば、CPU21およびEEPROM23の処理途中で電源が切れてしまうことが少なくなり、誤動作を起こしてしまう恐れを更に少なくすることができる。

【0101】

【発明の効果】本発明は上述したように、電圧整流手段により生成される内部電源電圧の大きさが所定値よりも大きくならないように制御する電圧制御手段を設けたので、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが非常に大きくなっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないよう

にすることができる。

【0102】例えば、本発明の半導体集積回路装置を、電波を使って外部との間でデータを送受信するとともに、受信した電波から電磁誘導により内部電源電力をつくり出すことが可能な無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が短くなり、電磁誘導により生成される交流電圧が非常に大きくなっても、内部電源電圧として使用する直流電圧の大きさが必要以上に大きくならないようにすることができ、RFIDに過大な電力が供給されることを防ぎ、RFIDにかかる負担を少なくすることができる。

【0103】また、本発明の他の特徴によれば、電圧整流手段により生成される内部電源電力の電圧が所定レベル以下のときにCPUおよび記憶手段をリセット状態にするリセット手段を設けたので、半導体集積回路装置の外部より送信される電波から電磁誘導により発生されて供給された交流信号の電圧レベルが小さくなり、発生される内部電源電力の電圧がCPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで小さくなった場合においても、CPUおよび記憶手段が動作し続けるということをなくすることができる。

【0104】例えば、本発明の半導体集積回路装置を無電池方式のRFIDに応用した場合には、RFIDと通信相手装置との通信距離が長くなって、CPUおよび記憶手段が正常に動作できなくなる恐れのあるレベルにまで内部発生電源電圧が小さくなった場合に、CPUおよび記憶手段が動作し続けるということをなくすることができ、CPUおよびEEPROMが誤動作を起こしてしまう不都合を少なくすることができる。

【0105】また、本発明のその他の特徴によれば、電圧整流手段により得られる直流電力の電圧が徐々に小さくなっていく場合に、上記直流電圧が第2のしきい値よりも小さくなったときに記憶手段をリセット状態にし、上記直流電圧が上記第2のしきい値よりも小さな第3のしきい値よりも小さくなったときにCPUをリセット状態するようにしたので、まず最初に記憶手段をリセットしてデータの書き込みを禁止した後でCPUをリセットするようにすることができ、リセット時におけるCPUの誤動作によって誤ったデータが記憶手段に書き込まれてしまう不都合をなくすることができる。

【0106】また、本発明のその他の特徴によれば、電圧整流手段により得られる直流電圧が徐々に大きくなっていく際に、CPUおよび記憶手段のリセット状態を解除する基準電圧となる第1のしきい値よりも上記第2のしきい値を小さくしたので、電圧整流手段により生成される内部電源の電圧が第1のしきい値より小さくても第2のしきい値より小さくしなければ記憶手段はリセットされないようにすることができ、意図しない電圧レベルの変動によって内部電源の電圧が第1のしきい値を下回った場合に記憶手段が簡単にリセットされないようにする

ことができ、これにより、動作の安定化を図ることができる。

【0107】また、本発明のその他の特徴によれば、電圧整流手段によって誘導交流電圧から生成される直流電力を蓄電する蓄電手段と、上記電圧整流手段により得られる直流電圧が所定レベルよりも小さくなったときに上記蓄電手段に蓄積されている電力を内部電源として利用するように制御する制御手段とを設けたので、正常動作可能な内部発生の電源電圧をより長い時間確保することができ、RFIDが電力不足によって誤動作を起こしてしまう恐れを少なくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態であり、本発明による無電池方式のRFIDの特徴を最もよく表すパワー／RF部の構成を示すブロック図である。

【図2】図1に示したパワー／RF部を利用した本実施形態による無電池方式のRFIDの全体的な構成を示すブロック図である。

【図3】図1に示した電圧整流回路の具体的な構成例を示す図である。

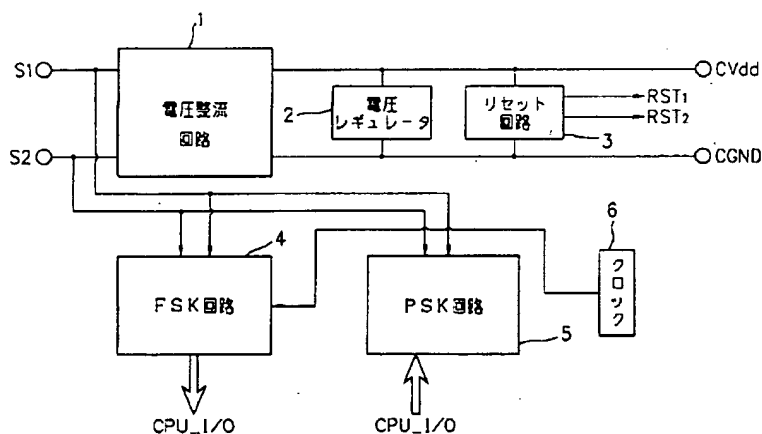
【図4】図1に示したリセット回路の動作を説明するための図である。

【図5】図1に示したリセット回路の具体的な構成例を示す図である。

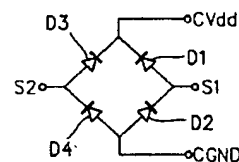
【符号の説明】

- 1 電圧整流回路
- 2 電圧レギュレータ
- 3 リセット回路
- 4 FSK回路
- 5 PSK回路
- 6 クロック回路
- 21 CPU
- 22 ROM
- 23 EEPROM
- 24 パワー／RF部
- 28 タイマー
- 29 シリアルI/Oポート
- 30 同調用コイル
- 31 コンデンサ
- 32 平滑化コンデンサ
- S1, S2 電波送受信端子
- CVdd 内部電圧端子
- CGND 内部グランド端子
- VDD 内部電源電圧
- VGND 内部グランド電圧
- RST₁, RST₂ リセット信号
- V_{rst1}, V_{rst2}, V_{rst3} リセット電圧

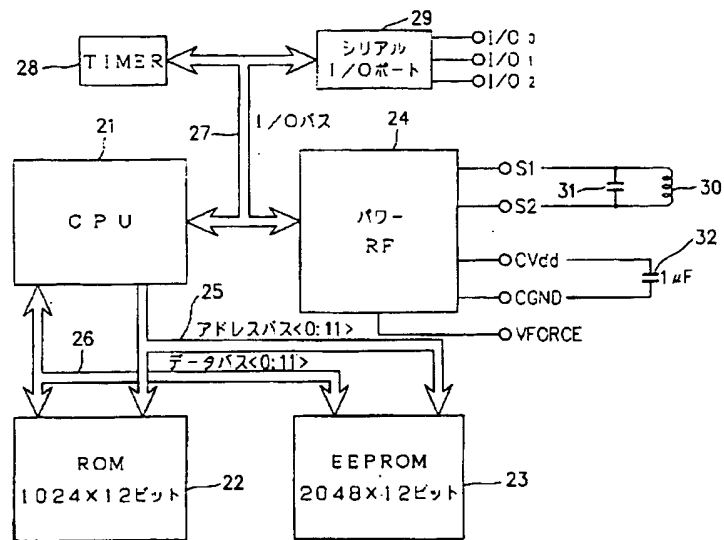
【図1】



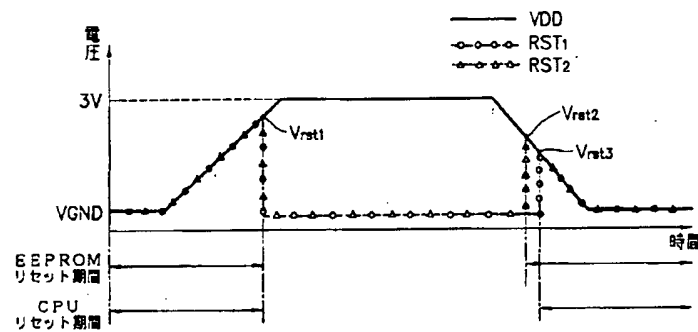
【図3】



【図2】



【図4】



【図5】

